

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-045070

(43)Date of publication of application : 16.02.1999

(51)Int.Cl.

G09G 3/28

H04N 5/66

(21)Application number : 09-200055

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25.07.1997

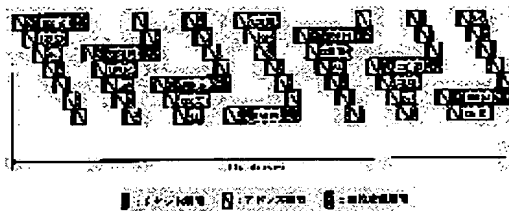
(72)Inventor : HASHIMOTO TAKASHI  
IWATA AKIHIKO

## (54) PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve discharge luminous efficiency and to suppress virtual contour by expanding a margin, by dividing one field into plural sub-fields and blocks, and maintaining a biggest weight sub-field in each block and discharging it at a different time during one field.

**SOLUTION:** For instance, one field is composed of XGA (1024 × 768) divided into seven sub-field and seven blocks. A reset period is set to 100  $\mu$ sec, and a priming pulse or a deletion pulse is arbitrarily impressed in this period. An address pulse width is set to 3  $\mu$ sec. A maintaining frequency is 125 kHz, and a largest brightness information bit, namely, a bit of a long discharge maintaining period is set to 256 cycles and about 2 msec, and a smallest brightness information bit is set to 4 cycles. Thus, since each block displays different brightness information, respectively, in a specific sub-field, it is possible to spatially distribute the brightness gravity center.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**THIS PAGE BLANK (USPT**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-45070

(43) 公開日 平成11年(1999) 2月16日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 9 G 3/28

G 0 9 G 3/28

W

H 0 4 N 5/66

1 0 1

H 0 4 N 5/66

1 0 1 B

K

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平9-200055

(22) 出願日 平成9年(1997) 7月25日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 橋本 隆

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 岩田 明彦

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

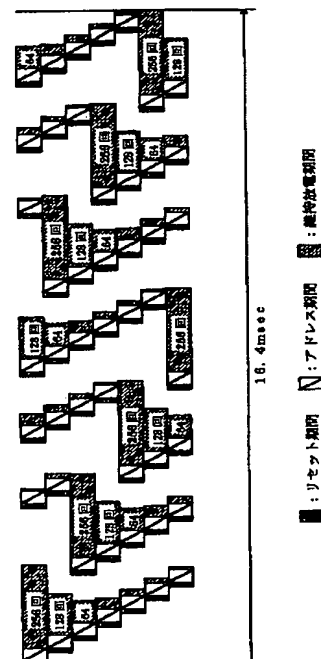
(74) 代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 プラズマディスプレイパネルおよびその駆動方法

(57) 【要約】

【課題】 プラズマディスプレイパネルの駆動時間利用率を向上させることにより、放電発光効率をあげる、あるいはマージンを広げる、さらには擬似輪郭を抑制できるプラズマディスプレイパネルの駆動方法を提供する。

【解決手段】 画像表示のためのフィールドを、リセット期間とアドレス期間と維持放電期間とで構成する複数のサブフィールドに分割し、かつ駆動回路を2つ以上の複数のブロックに分割し、各ブロックごとに独立に上記サブフィールドを駆動するプラズマディスプレイパネルの駆動方法において、各ブロックは1フィールド中のある時刻に2つ以上の同一の輝度重みのサブフィールドを持たないようにする。



## 【特許請求の範囲】

【請求項 1】 画像表示のためのフィールドを複数のサブフィールドに分割し、上記各サブフィールドは表示履歴を消去するためのリセット期間と、表示するセルを選択するためのアドレス期間と、指定回数放電を行なうことにより任意の輝度を得るための維持放電期間とで構成するプラズマディスプレイパネルの駆動方法において、駆動回路を 2 つ以上の複数のブロックに分割し、各ブロックごとに独立に上記サブフィールドを駆動し、各ブロックは、最も輝度重みの大きいサブフィールドを 1 フィールド中の異なる時刻に維持放電させることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2】 上記ブロックごとの駆動方法において、各ブロックは 1 フィールド中のある時刻に 2 つ以上の同一の輝度重みのサブフィールドは持たないことを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3】 上記ブロックごとの駆動方法において、上記リセット期間は全ブロック同時には行なわないことを特徴とする請求項 1 または 2 記載のプラズマディスプレイパネルの駆動方法。

【請求項 4】 上記ブロックごとの駆動方法において、各ブロックにおける 1 フィールド中の輝度情報を 1 フィールドの期間全体に分散することを特徴とする請求項 1 ないし 3 のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【請求項 5】 画像表示のためのフィールドを複数のサブフィールドに分割し、上記各サブフィールドは表示履歴を消去するためのリセット期間と、表示するセルを選択するためのアドレス期間と、指定回数放電を行なうことにより任意の輝度を得るための維持放電期間とで構成するプラズマディスプレイパネルの駆動方法において、駆動回路を 2 つ以上の複数のブロックに分割し、各ブロックごとに独立に上記サブフィールドを駆動し、各ブロックにおける 1 フィールド中の輝度情報を 1 フィールド中のいずれかに圧縮して行なうことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 6】 上記各ブロックごとの駆動方法において、各ブロックの輝度情報は各々 1 6. 6 msec 以内に納まるものの、全ブロックの駆動総時間は 1 6. 6 msec を超えて行われることを特徴とする請求項 1 ないし 5 のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【請求項 7】 上記各ブロックごとの駆動方法において、上記分割された各ブロックを構成する複数のラインが上記パネル全体に分散されて駆動されることを特徴とする請求項 1 ないし 6 のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【請求項 8】 画像表示のためのフィールドを複数のサブフィールドに分割し、上記各サブフィールドは表示履歴

を消去するためのリセット期間と、表示するセルを選択するためのアドレス期間と、指定回数放電を行なうことにより任意の輝度を得るための維持放電期間とで構成するプラズマディスプレイパネルにおいて、駆動回路を 2 つ以上の複数のブロックに分割し、各ブロックごとに独立に上記サブフィールドを駆動し、上記分割されたブロックを構成する複数のラインがパネルに分散された構造を持つことを特徴とするプラズマディスプレイパネル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は交流型プラズマディスプレイパネル（以下 AC-PDP と称する）、特に面放電型の AC-PDP の構造および駆動方法に関する。

## 【0002】

【従来の技術】プラズマディスプレイパネルは、周知のように 2 枚のガラス板の間に微少な放電セル（画素）を作りこんだ構造で、薄型のテレビジョンまたはディスプレイモニタとして種々研究されている。その中の 1 つとしてメモリ機能を有する交流型プラズマディスプレイパネル（AC-PDP）が知られており、AC-PDP の 1 つとして面放電型の AC-PDP がある。図 8 は従来の面放電型 AC-PDP の構造を示す構成図で、このような構造の面放電型 AC-PDP は例えば特開平 7—1 4 0 9 2 2 号公報や特開平 7—2 8 7 5 4 8 号公報に示されている。図において、20 は面放電型プラズマディスプレイパネル、2 は表示面である前面ガラス基板、3 は前面ガラス基板 2 と放電空間を挟んで対向配置された背面ガラス基板である。4 及び 5 は前面ガラス基板 2 上に互いに対となるように形成された第 1 の行電極  $X_1 \sim X_n$  及び第 2 の行電極  $Y_1 \sim Y_n$ 、6 はこれら行電極 4、5 上に被覆された誘電体層、7 は誘電体層 6 上に蒸着などの方法で形成された MgO（酸化マグネシウム）である。8 は背面ガラス基板 3 上に第 1、第 2 の行電極 4、5 と直交するように形成された列電極  $W_1 \sim W_n$ 、9 は列電極上に形成された蛍光体層で、列電極毎にそれぞれ赤、緑、青に発光する蛍光体層が順序よくストライプ状に設けられている。10 は各列電極間に形成された隔壁で、隔壁は放電セルを分離する役割の他に PDP を大気圧により潰れないように支持する支柱の役割もある。前面、背面ガラス基板 2、3 間の空間には Ne-Xe 混合ガスや He-Xe 混合ガスなどの放電用ガスが大気圧以下で封入され、互いに対となる行電極 4、5 と直交する列電極 6 の交点の放電セルが画素となる。以下、第 1 の行電極を X 電極、第 2 の行電極を Y 電極、列電極を W 電極とも呼ぶ。

【0003】次に動作について説明する。第 1 の行電極 4 と第 2 の行電極 5 との間に交互に電圧パルスを加え、半周期毎に極性の反転する放電を起こし、セルを発

光させる。カラー表示では、各セルに形成された蛍光体層 9 が放電からの紫外線によって励起され発光する。表示用の放電を行う第 1 の行電極 4 と第 2 の行電極 5 が誘電体層 6 で被覆されているので、各セルの電極間で一度放電が起こると放電空間中で生成された電子やイオンは印加電圧の方向に移動し、誘電体層 6 の上に蓄積する。この誘電体層 6 上に蓄積した電子やイオンなどの電荷を壁電荷と呼ぶ。この壁電荷が形成する電界が、印加電界を弱める方向に働くため、壁電荷の形成にともない、放電は急速に消滅する。放電が消滅した後、先の放電と極性の反転した電界が印加されると、次に壁電荷が形成する電界と印加電界が強め合う方向に重畳するため、先の放電に比べ低い印加電圧で放電可能となる。それ以降はこの低い電圧を半周期毎に反転させることによって、放電を維持することができる。このような機能は AC-PDP が本来持ち備えた機能で、この機能のことをメモリ機能と呼ぶ。このメモリ機能を利用して低い印加電圧で維持する放電を維持放電と呼び、半周期毎に第 1 の行電極 4 及び第 2 の行電極 5 に印加される電圧パルスを持続パルスと呼ぶ。この維持放電は壁電荷が消滅されるまで、維持パルスが印加される限り持続される。壁電荷を消滅させることを消去と呼び、一方、最初に壁電荷を誘電体上に形成することを書き込みと呼ぶ。

【0004】次に AC-PDP の階調表示方法について簡単に説明する。図 9 は例えば特開平 7-160218 号公報に示された階調表示を行う場合の 1 フィールドの構成図である。1 フィールドとは画面に 1 枚の絵を出力するための時間で、NTSC の場合は約 16.6 msec (60 Hz) である。図において表示ラインとは AC-PDP の第 1 及び第 2 の行電極からなる行方向のラインである。また、図の横方向は時間の流れを示す。1 フィールドはいくつかのサブフィールドに分割され、各サブフィールドは、リセット期間・アドレス期間・維持放電期間で構成される。例えば、256 階調 (2<sup>8</sup> 階調) 表示を行う場合、1 フィールド内のサブフィールドは 8 個となり、各々のサブフィールドの維持放電期間の時間を 2<sup>n</sup> (n=0~7) の割合とする。また、1 フィールド中における表示のための時間、及び情報を輝度 (表示) 情報と呼ぶ。図 9 では、輝度情報は 1 フィールド中に密集して配されているが、輝度 (表示) に関係のない時間をもうけることにより、1 フィールド中に一様に分散させてもよく、また、1 フィールド中のいずれかに圧縮してもよい。

【0005】図 10 は例えば特開平 7-160218 号公報に示された、従来のプラズマディスプレイパネルの駆動方法の 1 サブフィールド内の電圧波形を示す図である。この従来例では第 1 の行電極 X は共通に接続されており、全ての第 1 の行電極 X について同一の電圧が印加される。一方、第 2 の行電極 Y 及び列電極 W は各ライン毎に個別の電圧を印加することができる。図の電圧波形

は上から順に列電極 W、第 1 の行電極 X、第 2 の行電極 Y<sub>1</sub>、Y<sub>2</sub>、Y<sub>n</sub> の印加電圧波形である。

【0006】まず、リセット期間とは交流型プラズマディスプレイパネルの全セルを同じ状態にする期間で、リセット期間の初めの図 10 中 a で全画面に共通に接続された第 1 の行電極 X に全面書き込みパルス P<sub>xp</sub> (プライミングパルス) が印加される。この全面書き込みパルス P<sub>xp</sub> は第 1 の行電極 X と第 2 の行電極 Y 間の放電開始電圧以上に設定されているので、前のサブフィールドの発光・非発光に関係なく全セルが放電発光する。このとき列電極 W にも電圧パルスが印加されているが、これは第 1 の行電極 X と列電極 W の間で放電が起こりにくくするように、X-W 電極間の電位差を小さくするためのもので、X-Y 電極間電圧のおよそ 1/2 の値に設定される。しかし、このパルスは印加しなくてもよい。全面書き込みパルス P<sub>xp</sub> が印加されると X-Y 電極間で強い放電が起こり、X-Y 電極間に多量の壁電荷が蓄積し放電が終了する。次に図中 b で全面書き込みパルス P<sub>xp</sub> が立ち下がり、第 1 の行電極 X 及び第 2 の行電極 Y の印加電圧がなくなると、X-Y 電極間には先の全面書き込みパルス P<sub>xp</sub> で蓄積した壁電荷による電界が残る。この電界は大きく、それ自体で再び放電を開始することができるので、再び X-Y 電極間で放電が起こる。しかし、外部印加電圧は無いので、この放電で生じた電子やイオンは行電極 X、Y に引きつけられることなく、中和されて消滅する。このように前のサブフィールドでの壁電荷の“有り”“無し”に関係なく、全セルを書き込みそして消去することにより全画面のセルの壁電荷を“無し”の状態にすることができ、リセットが行われる。この外部印加電圧が無くても蓄積した壁電荷だけで放電し、壁電荷の消去が行われる放電を自己消去放電という。

【0007】リセット期間が終わり図中 c のときには第 1 の行電極 X 及び第 2 の行電極 Y には壁電荷は殆ど残っていない。一方、放電セル内には前の全面書き込みパルス P<sub>xp</sub> による放電で生じた荷電粒子が微量に残っている。この荷電粒子は次の書き込みでの放電を確実にするためのもので、書き込み放電の種火の役割をする。このため、全面書き込みパルス P<sub>xp</sub> がプライミング (種火) パルスと呼ばれることがある。従って、プライミング (種火) 効果と消去の効果の一つのパルスで兼ね備えている。

【0008】アドレス期間になると独立した第 2 の行電極 Y<sub>1</sub>~Y<sub>n</sub> に順に負のスキャンパルス S<sub>cyp</sub> が印加され、走査が行われる。一方、列電極 W には画像データ内容に応じて正のアドレスパルス A<sub>wp</sub> が印加される。この第 2 の行電極 Y に印加されるスキャンパルス S<sub>cyp</sub> と、列電極 W に印加されるアドレスパルス A<sub>wp</sub> によって、画面の任意のセルをマトリクス選択できる。スキャンパルス S<sub>cyp</sub> とアドレスパルス A<sub>wp</sub> の合計電圧値は、セルの Y-W 電極間の放電開始電圧以上に設定されているの

で、スキャンパルス  $S_{cyp}$  とアドレスパルス  $A_{wp}$  が同時に印加されたセルは Y—W 電極間で放電が起こる。またアドレス期間中、共通の第 1 の行電極 X は正の電圧値に保たれている。この電圧値はスキャンパルス  $S_{cyp}$  の電圧値と合計しても X—Y 電極間で放電しないが、Y—W 電極間で放電が起こったとき、この放電をトリガにして、同時に X—Y 電極間でも放電が起こるような電圧値に設定されている。この Y—W 電極間の放電をトリガにして起こる X—Y 電極間の放電は書き込み維持放電と呼ばれることがある。この書き込み維持放電によって第 1 及び第 2 の行電極上には壁電荷が蓄積される。

【0009】そして全画面の走査が終わった後、全画面一斉に維持パルス  $S_p$  が印加され、アドレス期間でアドレスされ壁電荷を蓄積したセルのみ維持放電を行う。そして、再び次のサブフィールドとなりリセット期間で全セルに全面書き込みパルス  $P_{xp}$  が印加されリセットが行われる。このように各サブフィールドの前に全セルを放電させ全セルに壁電荷を蓄積させた後、自己消去放電により全セルの壁電荷を“無し”にするリセットを行うので、常に同じ状態でアドレスを行うことができる。

【0010】上記のように、交流型プラズマディスプレイの画面全体でアドレス期間と維持放電期間を分離する駆動方法は「アドレス・表示（維持）分離法」と呼ばれる。

【0011】上記の全面書き込みは表示情報に関わらず一定周期で行われるため、黒表示状態において画面が白っぽくみえるなど、コントラスト低下の原因となっており、問題となる場合もある。この、全面書き込みによる種火効果は比較的長時間持続されるので、必ずしも毎サブフィールドで行う必要はない。そこで、1 フィールドあたりの全面点灯の回数を減らし、コントラストを向上させる方法もある。

【0012】図 11 は特開平 8—278766 号公報に示されたプラズマディスプレイの駆動方法のうち 1 サブフィールド内の電極に印加する電圧波形を示す図である。図において、リセット期間中に印加される  $P_{xp}$  は 図 10 同様、第 1 の行電極 X と第 2 の行電極 Y 間の放電開始電圧以上に設定されているが、パルス幅は  $1 \mu\text{sec}$  程度の短い時間である。この駆動方法は、 $P_{xp}$  に上乗せされた形で作用する壁電荷が存在する場合と、壁電荷が存在しない場合とでは、放電開始を超える電圧パルスを印加した場合、パルスの立上りから放電を開始するまでの時間、すなわち放電おくれ時間に大きな差が存在するという PDP の特性を利用したものである。放電遅れ時間はセル構造、封入ガス種によっても異なるが、代表的な値としては壁電荷が存在する場合は、放電遅れ時間は  $100\text{ns} \sim 600\text{ns}$  であり、壁電荷のない場合は  $1.0 \mu\text{sec}$  以上である。従って、 $P_{xp}$  のパルス幅が  $1 \mu\text{sec}$  とすると、直前サブフィールド点灯していたセルのみを選択的に点灯しリセットすることができる。

【0013】従って、この駆動方法を用いることにより、例えば、1 フィールド中のあるサブフィールドは 図 10 の  $P_{xp}$  のパルス幅の広い駆動方法を用いることで全面書き込み・リセットを行い、残りのサブフィールドは 図 11 の  $P_{xp}$  のパルス幅の狭い駆動方法を用いて選択的に点灯・リセットすることにより、1 フィールドあたりの全面点灯回数を減らし、黒表示の輝度の上昇を押さえることができる。

【0014】また、図 11 では壁電荷が存在しなくても放電開始する電圧値の高いパルスを用い、パルス幅を制御することにより、全面書き込みを行なうサブフィールドと、直前サブフィールド点灯していたセルのみ選択点灯させるサブフィールドとを切り分けていたが、 $P_{xp}$  の電圧値を変え、壁電荷が存在するセルのみ放電開始電圧を超えるような電圧設定とすることにより、上記切り分けを行なうこともできる。（以降、この場合には消去パルス  $E_{xp}$  と呼ぶ。）この場合、 $E_{xp}$  のパルス幅によっては細幅消去パルス、太幅消去パルスと呼ばれることもある。細幅消去と太幅消去については、すでに AC—PDP の技術者にとっては周知であるので、ここでは詳しく述べないが、その内容については例えば“プラズマディスプレイ”（大脇健一他：共立出版、1983 年発行）に示されている。細幅消去パルスは維持パルスと同程度の電圧値でパルス幅が  $0.5 \mu\text{sec}$  程度のパルスである。このパルスが印加されると放電の進行段階、すなわち逆極性の壁電荷を形成する前にパルスが中断されるので、壁電荷が消去される。

【0015】

【発明が解決しようとする課題】このようにアドレス・維持分離駆動方式を用いた場合、維持放電期間はアドレス期間におけるすべての行電極の走査終了後に行われる。そのため、例えば、行電極が 480 ラインあると、1 行目の電極は走査が終了した後、480 行目の電極の走査終了まで待たなければ維持放電は行われない。このように、アドレス期間中には各ラインにとって無駄な時間が多く存在しており、その分、維持放電期間の周波数を高く、アドレスパルス幅を狭くしなければならなかった。高い周波数は放電発光効率を悪くし、狭いアドレスパルス幅はマージン低下を引き起こしていた。

【0016】また、先に述べたように PDP の階調表示には 1 フィールドを複数のサブフィールドに分割し、各々のサブフィールドにおける輝度情報の重みを異ならせることで行なっている。しかしながら、このような方法による階調表示を行なうと、1 フィールド内における発光タイミングが画素により異なることになる。このため動画像を表示した場合や、観測者が画面上を追尾したりすると、被写体の動き速度によっては、階調表示に本来の画像中に存在しない輪郭が見えることがある。

【0017】このような問題は動画擬似輪郭とよばれ、具体的な発生メカニズムは例えば“プラズマディスプレイ”

イ最新技術”（御子柴 茂生：EDリサーチ社、1996年発行）に示されており、1フィールドにおける輝度情報を圧縮する方法、最も重みの大きい輝度情報を持つサブフィールドを分割し、フィールド内に分散させる方法などにより改善されることが知られている。特に、前者圧縮に関する技術は例えば、SID`97（Society for Information Display 1997）のなかで「Improvement of Moving-Picture Quality on a 42-in. Diagonal PDP for HDTV」として NHKが発表しており、非常に有効な手段であるとしている。しかし、上記の方法はDC型PDPに関するものでAC型PDPで従来用いられてきた「アドレス・表示（維持）分離法」の駆動方法に単純には反映させることはできない。また、最も重みの大きい輝度情報を持つサブフィールドを分割する方法は、サブフィールドが増加してしまうため、アドレスパルス幅を狭く、維持周波数を高くする必要があった。従って、先に述べたように放電発光効率、マージンの低下を引き起こしていた。

【0018】この発明は上述のような問題点を解決するためになされたもので、駆動回路を2つ以上の複数のブロックに分割し、各ブロックごとに独立に駆動するプラズマディスプレイパネルの駆動方法において、放電発光効率を向上させ、マージンを拡大し、擬似輪郭を抑制することを目的としたものである。

【0019】

【課題を解決するための手段】この発明に係るプラズマディスプレイパネルの駆動方法は、画像表示のためのフィールドを複数のサブフィールドに分割し、上記各サブフィールドは表示履歴を消去するためのリセット期間と、表示するセルを選択するためのアドレス期間と、指定回数放電を行なうことにより任意の輝度を得るための維持放電期間とで構成する方法で、駆動回路を2つ以上の複数のブロックに分割し、各ブロックごとに独立に上記サブフィールドを駆動し、各ブロックは、最も輝度重みの大きいサブフィールドを1フィールド中の異なる時刻に維持放電させるものである。

【0020】また、上記ブロックごとの駆動方法において、各ブロックは1フィールド中のある時刻に2つ以上の同一の輝度重みのサブフィールドは持たないものである。

【0021】また、リセット期間は全ブロック同時には行なわないものである。

【0022】また、上記ブロックごとの駆動方法において、各ブロックにおける1フィールド中の輝度情報を1フィールドの期間全体に分散するものである。

【0023】さらに、この発明に係るプラズマディスプレイパネルの他の駆動方法は、画像表示のためのフィールドを複数のサブフィールドに分割し、上記各サブフィ

ールドは表示履歴を消去するためのリセット期間と、表示するセルを選択するためのアドレス期間と、指定回数放電を行なうことにより任意の輝度を得るための維持放電期間とで構成する方法で、駆動回路を2つ以上の複数のブロックに分割し、各ブロックごとに独立に上記サブフィールドを駆動し、各ブロックにおける1フィールド中の輝度情報を1フィールド中のいずれかに圧縮して行なうものである。

【0024】また、上記ブロックごとの駆動方法において、各ブロックの輝度情報は各々16.6msec以内に納まるものの、全ブロックの駆動総時間は16.6msecを超えて行われるものである。

【0025】また、上記各ブロックごとの駆動方法において、上記分割された各ブロックを構成する複数のラインが上記パネル全体に分散されて駆動されるものである。

【0026】そして、この発明に係るプラズマディスプレイパネルは、画像表示のためのフィールドを複数のサブフィールドに分割し、上記各サブフィールドは表示履歴を消去するためのリセット期間と、表示するセルを選択するためのアドレス期間と、指定回数放電を行なうことにより任意の輝度を得るための維持放電期間とで構成するパネルで、駆動回路を2つ以上の複数のブロックに分割し、各ブロックごとに独立に上記サブフィールドを駆動し、上記分割されたブロックを構成する複数のラインがパネルに分散された構造を持つものである。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を図について説明する。

実施の形態1. 図1は本発明の実施の形態のプラズマディスプレイパネルの駆動方法が適用される面放電型AC-PDPのセルの構造を示す一部断面構成図である。図のように、面放電型プラズマディスプレイパネルのセル1は以下のように構成される。表示面である前面ガラス基板2と放電空間を挟んで背面ガラス基板3が対向配置され、前面ガラス基板2上に第1行電極4（ $X_1$ ）及び第2の行電極5（ $Y_1$ ）が配置される。これら行電極4、5上には誘電体層6、さらにその上にはMgO7が形成される。背面ガラス基板3上には行電極4、5（ $X_1$ 、 $Y_1$ ）と直交するように列電極8（ $W_1$ ）が設けられ、その上に蛍光体層9が形成される。また、背面ガラス基板3上には、画素境界に隔壁10が形成され、放電セルを分離するとともにPDPを大気圧により潰れないように支持している。前面ガラス基板2と背面ガラス基板3の間の放電空間にはNe-Xe混合ガスあるいはHe-Xe混合ガスなどの放電用ガスが封入される。

【0028】図2は本発明の実施の形態1のプラズマディスプレイパネルの駆動方法が適用されるプラズマディスプレイパネルの構成および周辺回路を示す図である。第1の行電極 $X_1 \sim X_i$ はそれぞれブロックに分割された

X側駆動回路11のCx1～Cxsに接続され、第2の行電極Y<sub>i</sub>～Y<sub>j</sub>はそれぞれブロックに分割されたY側駆動回路12のCy1～Cysに接続される。列電極W<sub>i</sub>～W<sub>j</sub>はW側駆動回路に接続される。図3は本発明の実施の形態1のプラズマディスプレイパネルの1フィールド内のサブフィールドの構成を示す図である。図4は図3における各ブロックごとの駆動方法を示す電圧波形（タイミングチャート）図である。

【0029】図3に示された1フィールド内の構成は、例えばXGA（1024×768）を7サブフィールド、7ブロックに分割したものである。リセット期間は100μsecに設定されており、この期間中にブライミングパルスPxp若しくは消去パルスExpが任意に印加される。アドレスパルス幅は3μsecに設定されている。維持周波数は125kHz（8μsec周期）で、最も輝度情報の大きい、すなわち維持放電期間の長いビット（以降MSBとよぶ）は256周期の設定で約2msecとしている。以降、2番目に長いビット2MSBは1msec、3MSBは0.5msecと同周波数で放電回数のみを変化させ、最も輝度情報の小さい、すなわち維持放電期間の短いビット（以降LSBとよぶ）は4周期としている。

【0030】図4において、電圧波形は上から順に、列電極W<sub>j</sub>、X側駆動回路Cxsを通してX<sub>i</sub>に、Y側駆動回路Cysを通してY<sub>i</sub>に印加される電圧波形である。Pxpは全面書き込み及び全面消去を行なうブライミングパルスで、例えばパルス幅7μsec 330V、Expは前のサブフィールドで点灯していたセルのみ消去放電を行なう消去パルス（パルス幅0.5μsec、180V）である。これらは、いずれもリセット期間中に行われる。アドレス期間中には、表示データ内容に応じて印加されるアドレスパルスAwp（パルス幅3μsec、60V）、および走査用のスキャンパルスScyp（パルス幅3μsec、-170V）が印加される。維持放電期間では、維持パルスSp（パルス幅3.5μsec、180V）が印加され、指定回数放電を行なうことで任意の輝度を得ている。

【0031】以下、図4をもとに動作を説明する。各ブロックのサブフィールドの最初にはブライミングパルスPxpが印加され、前のサブフィールドの点灯、非点灯にかかわらず、第1の行電極X<sub>i</sub>と第2の行電極Y<sub>i</sub>間で放電が起こる。このとき、両行電極間には多量の壁電荷が蓄積し放電が停止する。その後ブライミングパルスPxpが立ち下ると、両行電極間で蓄積した壁電荷だけで自己消去放電が起き、壁電荷が消滅される。その後、1ブロック目からアドレスが開始される。アドレスはスキャンパルスScyp及びアドレスパルスAwpが第2の行電極Y<sub>i</sub>と列電極W<sub>j</sub>に印加され、マトリクス状に配置されたセルのうち選択されたセルは第2の行電極Y<sub>i</sub>と列電極W<sub>j</sub>の間で放電が起きると同時に、第1の行電極X<sub>i</sub>と第2の行電極Y<sub>i</sub>の間で書き込み維持放電もおこり、第1及び第2行電極上に壁電荷を形成する。

【0032】1ブロック目のアドレスが終了すると同時に2ブロック目のアドレスが開始される。また、1ブロック目は維持放電期間に移行され、維持パルスSpが印加される。このときアドレスで壁電荷を形成したセルは維持放電を行い、壁電荷を形成していないセルは維持放電を行なわない。またこのとき2ブロック目以降でアドレスしているため、このときの列電極W<sub>j</sub>にはアドレスパルスAwpが印加された状況となっている。しかし、Awpは維持放電に関与することなく問題はない。

【0033】各ビットの維持放電期間が終わり、次のサブフィールドになると消去パルスExpが印加され、前のサブフィールドにおいて点灯していたセルのみ放電し、壁電荷が消去される。この各サブフィールドのリセット期間中に印加されるブライミングパルスPxp若しくは消去パルスExpは任意に選択され、ブライミングパルスPxpはどのブロックにどのタイミングで印加されてもよい。ただし、ブライミングパルスPxpは表示履歴にかかわらず全面で点灯するため、暗コントラスト低下の原因となっており、極力回数を少なくすることが求められている。隣接ブロックにもブライミング効果が得られることを考えると、このブライミングパルスPxpの印加タイミングは時間的はもちろん空間的にも分散していた方がよい。また、ブライミングパルスPxpは各ブロックごとに行なうことが時間利用率を向上させる意味で望ましいが、パネル構造によってはPxpの電圧値が高いため、隣接ラインに悪影響を及ぼすことがある。このような場合には、ブライミングパルスPxpのみ全ブロック一括しておこなってもよい。

【0034】全体的な1フィールド内の構成は、例えば図3のようになる。ある特定のサブフィールドにおいて各ブロックはそれぞれ異なる輝度情報を表示していることになる。言い替えると、ある特定のブロックにおいて各サブフィールドはそれぞれ異なる輝度情報を表示していることになる。したがって、空間的に輝度重心が分散されることになり、擬似輪郭が低減される効果がある。また、分割数が多ければ多いほど効果的であることはいうまでもない。また、図5にはブライミングパルスPxpのみ全ブロック一括して行なう場合の1フィールド内のサブフィールドの構成例を示している。この図では、Pxpが印加されるサブフィールドは2つで残りの5つのサブフィールドにはExpが印加されている。上記と同様に擬似輪郭を抑制でき、且つ、Pxpの電圧が高いことによる悪影響をなくすることができる。

【0035】また、図3では時間利用率が低く、空白の時間が存在しているが、維持周波数を低くすることにより時間利用率を高めることができる。図3の場合は、125kHz必要だった周波数を70kHzにまで落すことができる。このように維持周波数を下げることにより放電発光効率を向上させることができる。

【0036】なお、図3ではXGA7ビット、アドレス



パルス幅  $3 \mu \text{sec}$  で設定されているため、 $768 \times 0.003 \text{msec} \times 7 \text{SF} = 16.1 \text{msec}$  となり、アドレス期間の占有する時間が多いが、6ビットを設定すると、 $768 \times 0.003 \text{msec} \times 6 \text{SF} = 13.8 \text{msec}$  となる。本実施の形態における駆動方式では、概ねアドレス総時間が駆動総時間と考えればよいので、 $3 \text{msec}$  余りの時間が存在することになる。この場合、先の説明のように維持周波数を低くすることにより放電発光効率を向上させるようにしてもよいし、アドレスパルス幅を広げることにより誤アドレスを抑えアドレスマージンを広げるようにしてもよい。

【0037】実施の形態2。図6は本発明の実施の形態2のプラズマディスプレイパネルの1フィールド内のサブフィールドの構成を示す図である。本実施の形態2では実施の形態1と同様、XGA7ビットでリセット期間  $100 \mu \text{sec}$ 、アドレスパルス幅  $3 \mu \text{sec}$ 、維持周波数  $12.5 \text{kHz}$ 、MSB256周期で設定されている。

【0038】図6は各ブロックごとのサブフィールドの配列を圧縮するように規定したものである。すなわち、上位ブロック（フィールド初期にアドレスが開始されるブロック）から空き時間のないように優先的にアドレスしていくものである。この結果、各ブロックごとに輝度情報を1フィールド中のいずれかに圧縮することができる。図3ではブロックごとに  $16 \text{msec}$  必要だった輝度情報が図6ではおよそ  $9 \text{msec}$  にまで圧縮されている。本実施の形態2では、上記実施の形態1の空間的に輝度重心を分散させて、擬似輪郭を低減する手法とは異なり、各ブロックごとのサブフィールドの配列を圧縮する構成とすることにより擬似輪郭を低減している。

【0039】また、図6では擬似輪郭抑制のために可能な限りサブフィールドの配列を圧縮し、 $9 \text{msec}$  しか使用していないが、擬似輪郭抑制を考えなければ、各ブロックごとに輝度情報が  $60 \text{Hz}$  になれば可能な限り引き伸ばしてもよい。この場合、画像表示のための1フィールドは全体としては  $16.6 \text{msec}$  を超えてしまうが、各ブロックは  $16.6 \text{msec}$  以内に納まるため、フリッカとはならず際立った障害は発生しない。図6では下位ブロックにおける最終サブフィールドはLSBであるが、MSB付近とした方がより効果が得られる。引き伸ばし方法は、先にも述べたように維持周波数を落してもよく、アドレスパルス幅を広げてよい。その結果、マージンを拡大し、放電発光効率を向上させることができる。

【0040】実施の形態3。図7は本発明の実施の形態3のプラズマディスプレイパネルの駆動方法が適用されるプラズマディスプレイパネルの構成および周辺回路を示す図である。実施の形態1では分割された駆動回路から同一ブロック内のX電極およびY電極に一括して電圧が供給されていたが、本実施の形態では駆動回路から接続される電極は空間的に分散されるように構成されている。すなわち、この図7においては、X側駆動回路11

のCx1は第1の行電極 $X_1$ と $X_{n+1}$ と $X_{2n+1}$ に、Cx2は第1の行電極 $X_2$ と $X_{n+2}$ と $X_{2n+2}$ ・・・のように接続し、Y側駆動回路12のCy1は第2の行電極 $Y_1$ と $Y_{n+1}$ と $Y_{2n+1}$ に、Cy2は $Y_2$ と $Y_{n+2}$ と $Y_{2n+2}$ ・・・のように接続する。このような構成において、実施の形態1で説明した駆動方法を用いると、1ラインごとに輝度情報が分散されるため、より擬似輪郭を抑制することができる。

【0041】また、駆動回路から一括して電極に電圧が供給される場合、ブロックごとに表示率が異なると電圧ドロップによる輝度低下が発生し、ブロック間の境界で輝度差による表示障害が見られるが、本実施の形態のように分散して接続することにより電圧ドロップが起こりにくくなり、上記表示障害を防ぐことができる。

【0042】

【発明の効果】以上のように、本発明のプラズマディスプレイパネルの駆動方法によれば、画像表示のためのフィールドを複数のサブフィールドに分割し、上記各サブフィールドは表示履歴を消去するためのリセット期間と、表示するセルを選択するためのアドレス期間と、指定回数放電を行なうことにより任意の輝度を得るための維持放電期間とで構成するプラズマディスプレイパネルの駆動方法において、駆動回路を2つ以上の複数のブロックに分割し、各ブロックごとに独立に上記サブフィールドを駆動し、各ブロックは、最も輝度重みの大きいサブフィールドを1フィールド中の異なる時刻に維持放電させるようにしたので、擬似輪郭を抑制することができる。

【0043】また、上記ブロックごとの駆動方法において、各ブロックは1フィールド中のある時刻に2つ以上の同一の輝度重みのサブフィールドは持たないようにしたので、擬似輪郭を抑制することができる。

【0044】また、リセット期間は全ブロック同時には行なわないようにしたので、時間利用率を向上することができる。

【0045】また、上記ブロックごとの駆動方法において、各ブロックにおける1フィールド中の輝度情報を1フィールドの期間全体に分散するようにしたので、時間利用率が向上し、その結果、放電発光効率が向上し、アドレスマージンを拡大させることができる。

【0046】さらに、この発明に係るプラズマディスプレイパネルの他の駆動方法によれば、画像表示のためのフィールドを複数のサブフィールドに分割し、上記各サブフィールドは表示履歴を消去するためのリセット期間と、表示するセルを選択するためのアドレス期間と、指定回数放電を行なうことにより任意の輝度を得るための維持放電期間とで構成する方法において、駆動回路を2つ以上の複数のブロックに分割し、各ブロックごとに独立に上記サブフィールドを駆動し、各ブロックにおける1フィールド中の輝度情報を1フィールド中のいずれかに圧縮して行なうようにしたので、擬似輪郭を抑制する

ことができる。

【0047】また、上記ブロックごとの駆動方法において、各ブロックの輝度情報は各々16.6msec以内に納まるものの、全ブロックの駆動総時間は16.6msecを超えて行われるようにしたので、時間利用率を向上させ、放電発光効率、アドレスマージンを向上させることができる。

【0048】また、上記各ブロックごとの駆動方法において、上記分割された各ブロックを構成する複数のラインが上記パネル全体に分散されて駆動されるようにしたので、擬似輪郭を抑制し、ブロックごとの表示率の差による電圧ドロップを防ぐことができる。

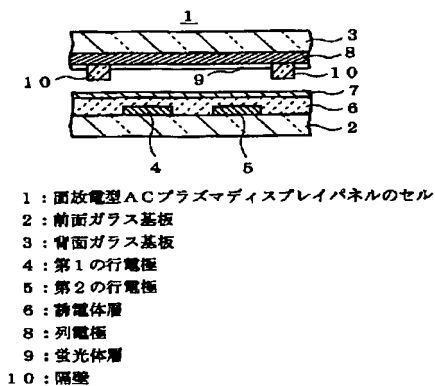
【0049】そして、この発明に係るプラズマディスプレイパネルによれば、画像表示のためのフィールドを複数のサブフィールドに分割し、上記各サブフィールドは表示履歴を消去するためのリセット期間と、表示するセルを選択するためのアドレス期間と、指定回数放電を行なうことにより任意の輝度を得るための維持放電期間とで構成するパネルにおいて、駆動回路を2つ以上の複数のブロックに分割し、各ブロックごとに独立に上記サブフィールドを駆動し、上記分割されたブロックを構成する複数のラインがパネルに分散された構造を持つようにしたので、擬似輪郭を抑制し、ブロックごとの表示率の差による電圧ドロップを防ぐことができる。

【図面の簡単な説明】

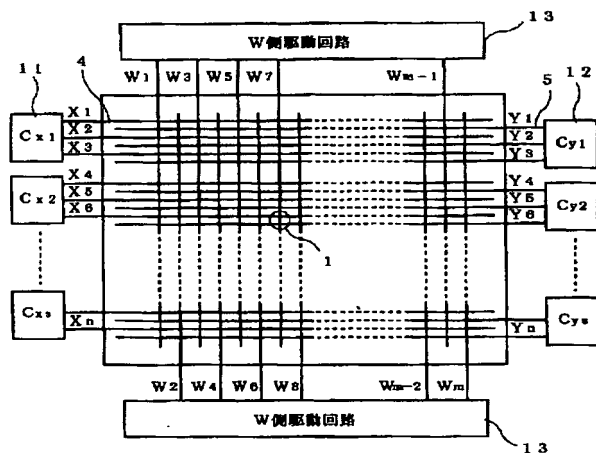
【図1】 この発明の実施の形態1のプラズマディスプレイパネルの駆動方法が適用される面放電型AC—PDPのセルを示す断面構成図である。

【図2】 この発明の実施の形態1のプラズマディスプレイパネルの駆動方法が適用される面放電型AC—PDPの構成及び周辺回路を示す図である。

【図1】



【図2】



【図3】 この発明の実施の形態1の1フィールド内のサブフィールドの構成を示す図である。

【図4】 この発明の実施の形態1のプラズマディスプレイパネルの駆動方法を示す電圧波形図（タイミングチャート）である。

【図5】 この発明の実施の形態1の1フィールド内のサブフィールドの他の構成例で、プライミングパルスのみを全ブロック共通に行なう場合の構成図である。

【図6】 この発明の実施の形態2の1フィールド内のサブフィールドの構成を示す図である。

【図7】 この発明の実施の形態3のプラズマディスプレイパネルの構成及び周辺回路を示す図である。

【図8】 一般的な面放電型プラズマディスプレイパネルを示す図である。

【図9】 従来例の階調表示を行なう場合の1フィールドの構成図である。

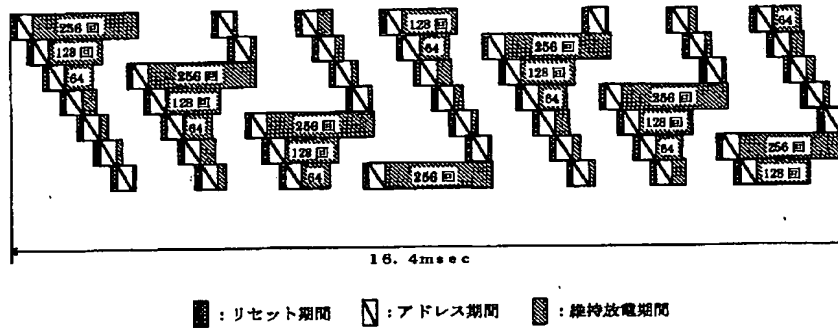
【図10】 第1の従来例であるプラズマディスプレイパネルの駆動方法を示す1サブフィールド内の電圧波形を示す図である。

【図11】 第2の従来例であるプラズマディスプレイパネルの駆動方法を示す1サブフィールド内の電圧波形を示す図である。

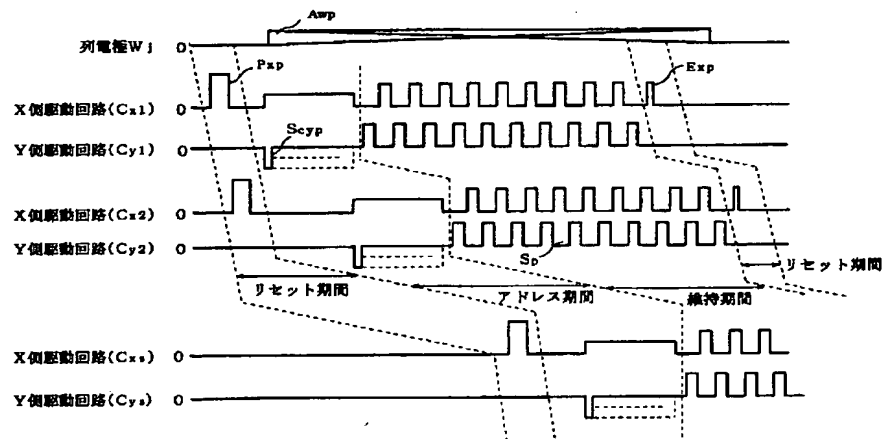
【符号の説明】

1 プラズマディスプレイパネルのセル、2 前面ガラス基板、3 背面ガラス基板、4 第1の行電極、5 第2の行電極、6 誘電体層、7 MgO（酸化マグネシウム）、8 列電極、9 蛍光体層、10 隔壁、20 プラズマディスプレイパネル、Pxp プライミングパルス、Exp 消去パルス、Awp アドレスパルス、Sp 維持パルス、Scyp スキャンパルス。

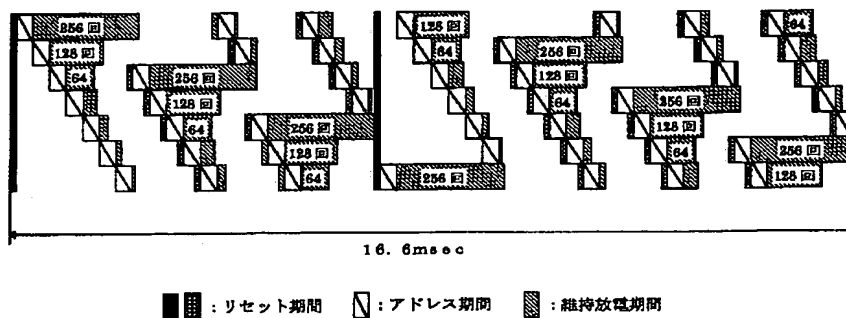
【図3】



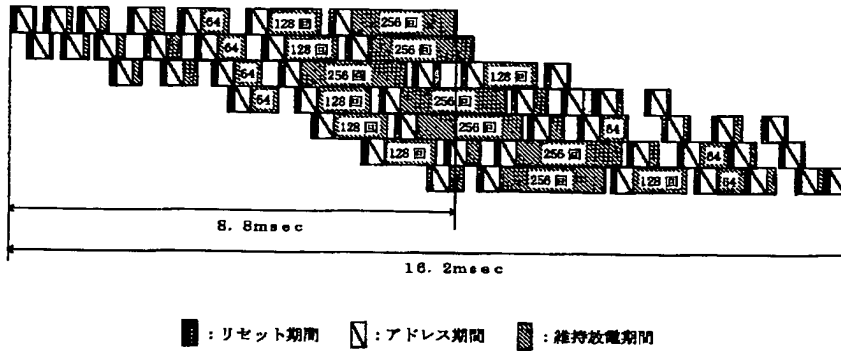
【図4】



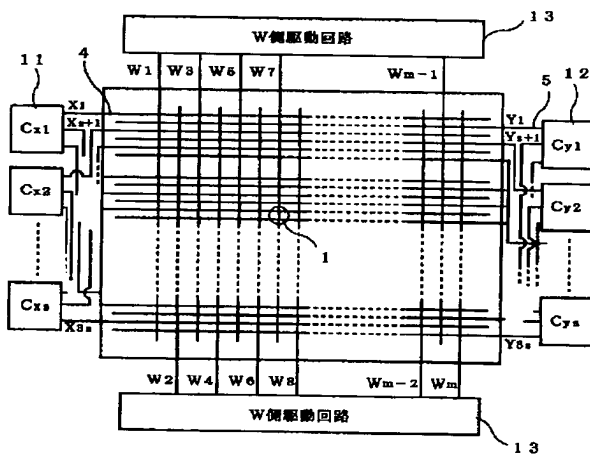
【図5】



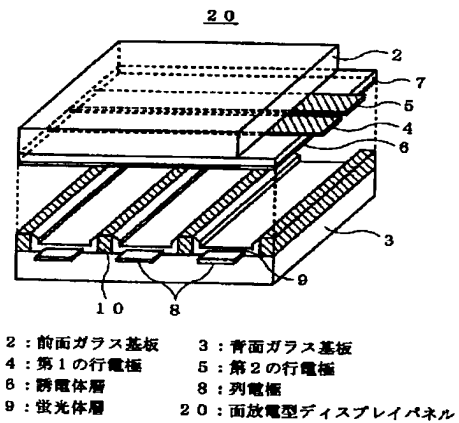
【図6】



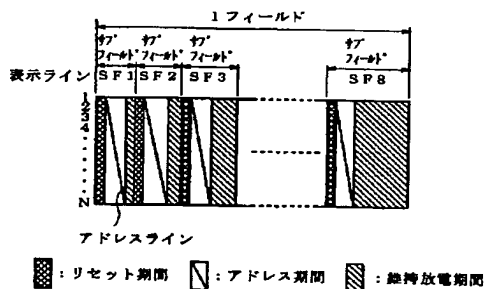
【図7】



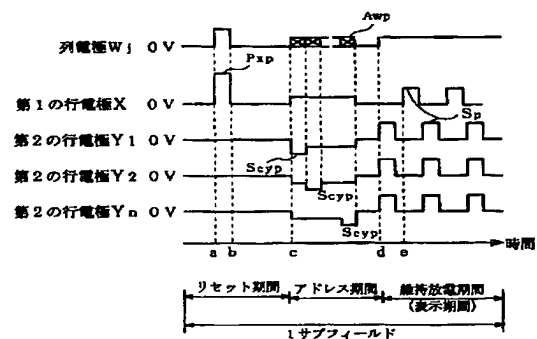
【図8】



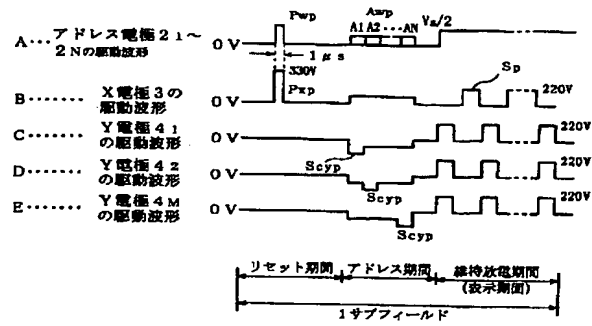
【図9】



【図10】



【図11】



**THIS PAGE BLANK (USPT**